內埋Chip電阻電容PCB板的工藝開發

摘要：內層埋入電阻電容的2+HDI PCB板是GME應某國外客戶的設計要求而開發的一個專案，此類設計和製造技術只在期刊上看到有日本和歐美少數公司有類似案例，但沒有具體參考的實例，此專案工藝開發從零開始。首先尋找和評估內層曝光顯影型阻焊樹脂油墨作為內層SMT貼片的阻焊橋。然後就如何將零件位置的樹脂填充方案對比測試：絲印環氧樹脂，PP開窗，開窗尺寸大小的研究，最終確定PP開窗的方法作為零件位置樹脂填充的有效且可靠的工藝。在第一批成品後的可靠性測試中發現內層阻焊橋的樹脂和半固化片FR4樹脂之間分層問題，針對此問題通過優化內層阻焊層的曝光菲林設計和增加Plasma流程，成功地解決了分層問題。而對此類板的電測良率低的問題，因此通過對缺陷板的分析，找到主要原因有：貼片偏位，掉零件，短路等，後面一批通過優化內層焊盤尺寸設計，材料漲縮數據的準確掌握，以及增加Set和unit的貼片Fiducial Mark點來提高0201件的貼片對位精度，增加內層貼件後層壓前的電測步驟，將貼片不良板進行返工和修理等方法的運用，結果大大提升了良品率。通過三批的不斷改良，內層貼件不良率從最初的34000 Dppm減少到990 Dppm，整體PCB良率從36.7%提高到94%。

關鍵詞：內埋芯片式元氣件，內層阻焊橋， 感光顯影性介質層，表面貼裝組裝技術半固體化片開槽口，焊錫絲印鋼網，貼片對位元光學靶點。

1. 前言

隨著印製電路高功能需求不斷增長，傳輸信號的高頻化要求，印製板上的無源元氣件的數量倍增，例如：奔騰III處理器使用了2200個無源元氣件，是486處理器的13倍，現在PCB組裝中，無源元氣件的面積占了50%的面積和近30%的焊點，因此隨著高功能輕小便攜的要求，即使無源元氣件的小型化技術不斷發展，也將使得嵌入式被動元件逐漸應用到印製線路板中，只有將無源元氣件嵌入PCB板內部，才可以提高被動元件效能，減少被動元件數量，降低電路板面積。

嵌入式被動元件技術被稱為“Integrated Passive”或者“Embedded Passive” Technology；過去它主要是以有機絕緣材料與FR4有機玻璃纖維基板的層壓疊構形成嵌入式被動元件的設計，它是多層板的內層材料上使用特殊電阻電容材料通過蝕刻或者絲印或者電鍍技術一次性形成許多電阻和電容，然後按照PCB壓合流程將這些電阻電容埋入內層以實現三維組裝，而這樣的技術也會面臨一些瓶頸：材料很貴，且制程上有專利權（Patent）的限制，目前比較成熟的技術有Ohmega-ply的Buried Resistor（BR），即以薄膜取代電阻器，與Samina的Buried Capacitor（BC）以厚銅來作內層板，製作成電容；而以上無論蝕刻，絲印還是電鍍形成的薄膜電阻的精度最好也就控制到10~20%，無法滿足日益增加的高精度要求；而且每層設計中選擇的電阻材料和尺寸也限制了電阻的範圍；而採用物理埋入晶片（Chip）電阻電容，則可以突破電阻電容值範圍的局限性，而且埋入晶片電阻的精度可以將電阻的精度提高到5%以內。

因此有設計者不斷推出此類埋入晶片式電阻電容PCB板的設計，本文中的項目就是GME的某一國外客戶的一個PoP（Package on Package）堆疊式封裝層疊新型晶片開發專案的一個底板。

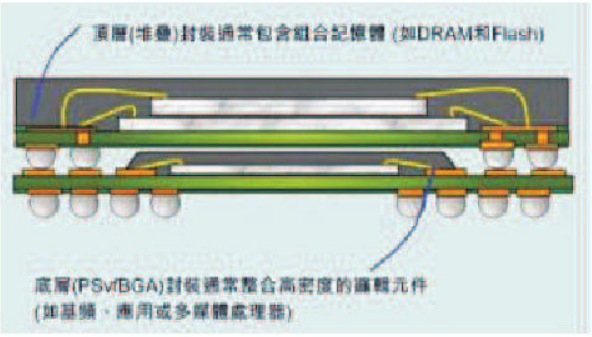


圖1

PoP是一種新興的、成本最低的3D封裝解決方案。系統設計師可以利用PoP開發新的元件外形、整合更多的半導體，通過由堆疊帶來的封裝體積有時保持甚至減少主機板的尺寸，而本文中客戶的PoP解決方案中的兩個主

機板的設計就是採用了埋入晶片式電阻電容的PCB設計，大大提升了晶片性能和減少了晶片尺寸。

圖2是本文中客戶設計的PoP晶片解決方案示意圖：

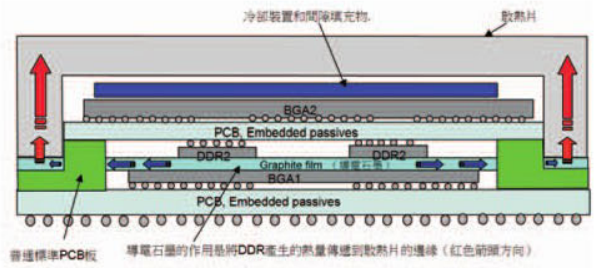


圖2

兩個Package的主機板都是含有埋入式晶片電阻電容的PCB板設計。

2. 內埋元氣件PCB工藝攻關要點和專案目標

專案要點1：疊構設計

其中零件埋在第四層，按照正常2+4+2的HDI板流程，L4/5是一張內層芯板，但零件在L4和L5之間，因此疊構需要做以下調整：見下圖3：

Layer	Type	PCB Stack	Cust. Requirement	GME design	Finish (mm)
	Top mask		0.018mm	PSR4000	0.018
L1	Copper(base+plating)		0.04mm	T	0.035
	prepreg		0.07mm	Prepreg 1080	0.07
L2	Copper(base+plating)		0.04mm	T	0.035
	prepreg		0.07mm	Prepreg 1080	0.07
L3	Copper(base+plating)		0.04mm	T	0.035
	core		0.1mm	Prepreg 2x1078	0.1
L4	Copper		0.017mm	H	0.017
	prepreg		0.4mm	6ply 1080 (5+1)	0.4
L5	Copper(base)		0.017mm	H	0.017
	core		0.1mm	Prepreg 2x1078	0.1
L6	Copper(base+plating)		0.04mm	T	0.035
	prepreg		0.07mm	Prepreg 1080	0.07
L7	Copper(base+plating)		0.04mm	T	0.035
	prepreg		0.07mm	Prepreg 1080	0.07
L8	Copper(base+plating)		0.04mm	T	0.035
	Bottom mask		0.018mm	PSR4000	0.018
Customer requirement: 1.154+/-0.2mm				Total	1.16

圖3

將L3/4設計成一張內層芯板，L5/6設計成一張芯板，然後L3/4層完成單面圖形製作後再貼裝零件，之後與L5/6層通過層壓形成2+2的四層板的設計。

專案要點2：零件組裝工藝流程設計

零件：86個電容及22個電阻/Unit

內層零件組裝工藝的開發仿照外層PCB組裝流程，首先需要在內層製作類似外層Solder Mask的阻焊層，然後在焊錫面上的銅做便於貼裝的表面處理，因此第四層完成圖形後阻焊樹脂工藝流程：

絲印→曝光顯影→UV固化→後烤→OSP表面處理→絲印錫膏→SMT貼片→回流焊

專案要點3：如何實現零件可靠地封裝到內層

方案1：在貼裝好零件的板上絲印環氧絕緣樹脂，讓絲印的樹脂與零件大約等高位置後，再放一張半固化片作為零件與L5之間的絕緣層。從零件高度：最高的零件高為0.35mm，而L45之間的絕緣層厚度要求為0.40~0.5mm。

方案2：採用半固化片直接作為零件埋入的封裝材料，但要解決零件位置開Cavity及視窗大小設計與樹脂填膠可靠性的對比實驗。

專案要點4：如何進行層壓前焊接零件的內層板的清洗，以確保整個板的可靠性

板的Panel尺寸設計為16” X 18”，6sets/PNL，12units/set，因此共有7776個零件/Pnl，在貼好零件的內層板在層壓前，需要做清洗，以防止焊接流程中殘留的有機焊料成分殘留在板上，影響板的可靠性。

專案要點5：優化層壓參數，來保證零件既被可靠封裝，又不能壓傷零件，同時滿足可靠性要求

壓合時是否有零件凸起的痕跡及零件是否會在壓合時被壓壞等難題需要通過實驗確認和解決。

專案目標：滿足客戶的設計要求，同時符合各項電性能要求，可靠性要求，良品率達到80%

板的製作按照設計要求完成後，需要做電測試，而通常PCB板的電測試是做導通測試和絕緣測試，而此類制板的測試還應包括零件阻值和容值的測量。因此公司的測試機是否具備此項測試能力以及如何分析出此類板的零件串並聯關係需要與電測供應商制定測試程式和方法。另外成品板需要在通過熱應力測試，或者6X以上260度20s的峰值回流焊溫度測試後，各項電性能和材料的可

靠性仍舊達標。同時在此過程中，內層的零件都有哪些失效模式及如何改善也是需要通過製作和測試研究的重點內容。

3. 專案研發過程

3.1 內層阻焊樹脂油墨評估

方法1：直接用絲印方式將油墨印在內層，焊盤位置擋點處理，結果如下圖4：

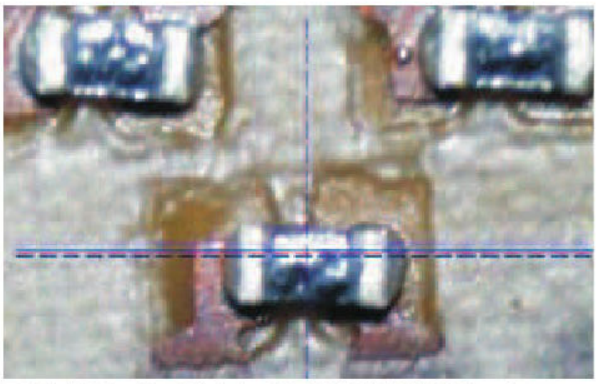


圖4 絲印精度不夠，開窗太小，油墨容易上焊盤導致焊接不良。

另外，對比零件的推力測試，只有0.2~0.5kgf

方法2：使用曝光顯影型耐環氧樹脂，同時可以相容于現有的生產流程。

1) 主劑+硬化劑混合，靜置後絲印 → 2) 低温烘板 → 3) 貼壓透光Mylar膜（因該樹脂經過低温烘烤後只是去除了氣泡，而實際油墨仍處於液態，因此曝光前必須貼Mylar膜保護）→ 4) 曝光 → 5) 顯影 → 6) U V固化 → 7) 後固化。

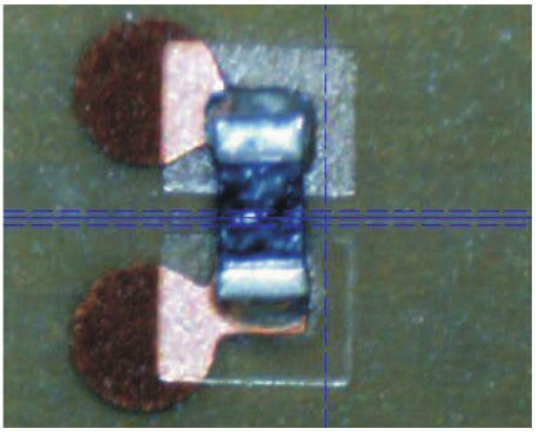


圖5 曝光顯影型樹脂的阻焊層貼片效果圖

兩種方法比較，後者可以滿足0201零件貼片前的阻焊油墨的製作精度要求。

3.2 貼片內層板的清洗方法

通常PCBA在焊接零件後需要做清洗，PCBA廠通常有專門的清洗設備和去離子清洗劑，因此此板在完成內層貼片後的清洗過程不能用PCB常用的水準清洗線洗板，將板放在掛籃中在去離子清洗劑中浸洗，然後在熱DI水中浸洗，同時這個過程必須注意操作，防止掉零件，擦傷零件，防靜電等問題。之後取板上部分樣品做離子污染測試，結果Cl^-<4.5ug/inch^2。達到離子污染測試要求。

3.3 層壓前零件的封裝方法評估

方法1：使用絲印環氧類樹脂作為零件壓合前的封裝材料，將零件與零件之間的空隙填滿。但實際絲印時，而零件的高度在0.23~0.35mm之間，無法一次絲印將0.3mm的空隙填滿，需要多次絲印，這樣會有幾次絲印油墨之間的分層爆板的風險，而且多次絲印操作複雜，絲印厚度分佈不均勻等問題；另外使用此方法再加PP壓合後，半固化片與絲印的環氧樹脂之間經過IR Reflow後會分層（見下圖6）。因此採用絲印絕緣樹脂封裝的方法不可行。

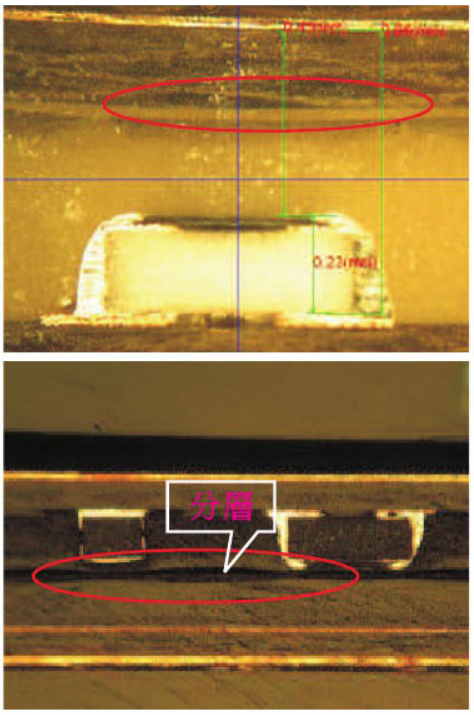


圖6 絲印塞孔樹脂+PP壓合

方法2：使用半固化片的樹脂作為封裝材料，而將零件位置的PP切割掉，見下圖7：

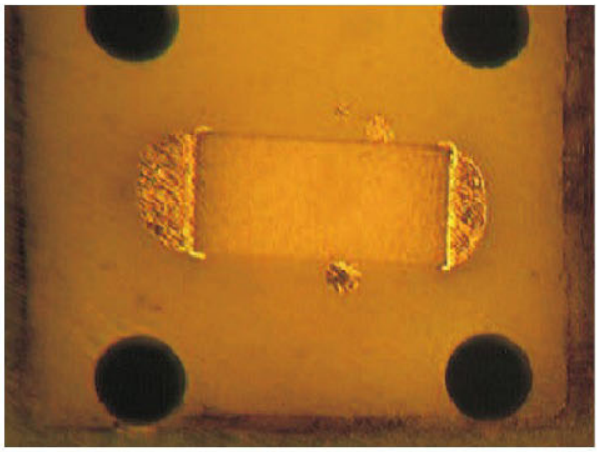


圖7 零件位置的PP開窗

3.4 層壓參數的確定

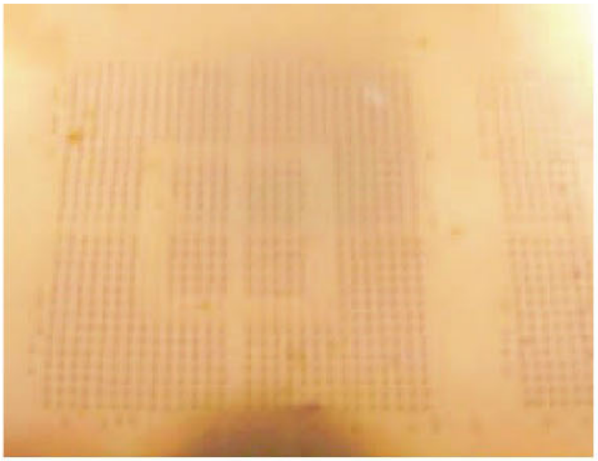
為配合此板高温無鉛焊接的要求，材料選擇耐高温無鉛焊接材料，用貼了若干0201電阻的假板進行首次壓合實驗時，按照材料説明書中要求測試；實際壓合出來流膠非常嚴重，（多張PP壓合）板外流膠尺寸達到4-6cm，而層壓後內層零件位置突出在板面上，見下圖8：

零件印

流膠過大

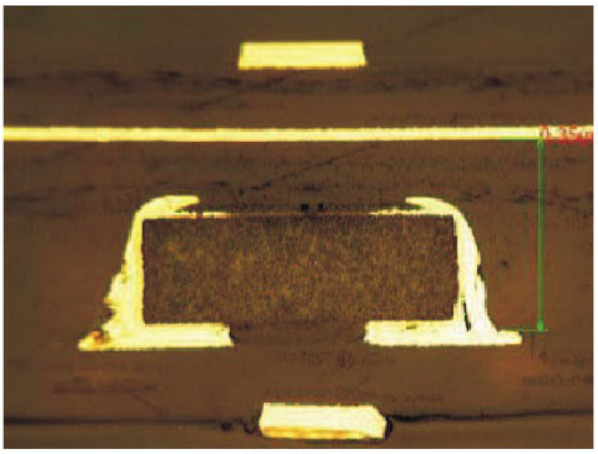
圖8

通過重新優化層壓參數：結果板邊流膠範圍小了，而且板面再無零件痕跡。見下圖9：



板面平整無零件印記

板邊流膠控制到正常（1~2cm）



零位置的切片

圖9

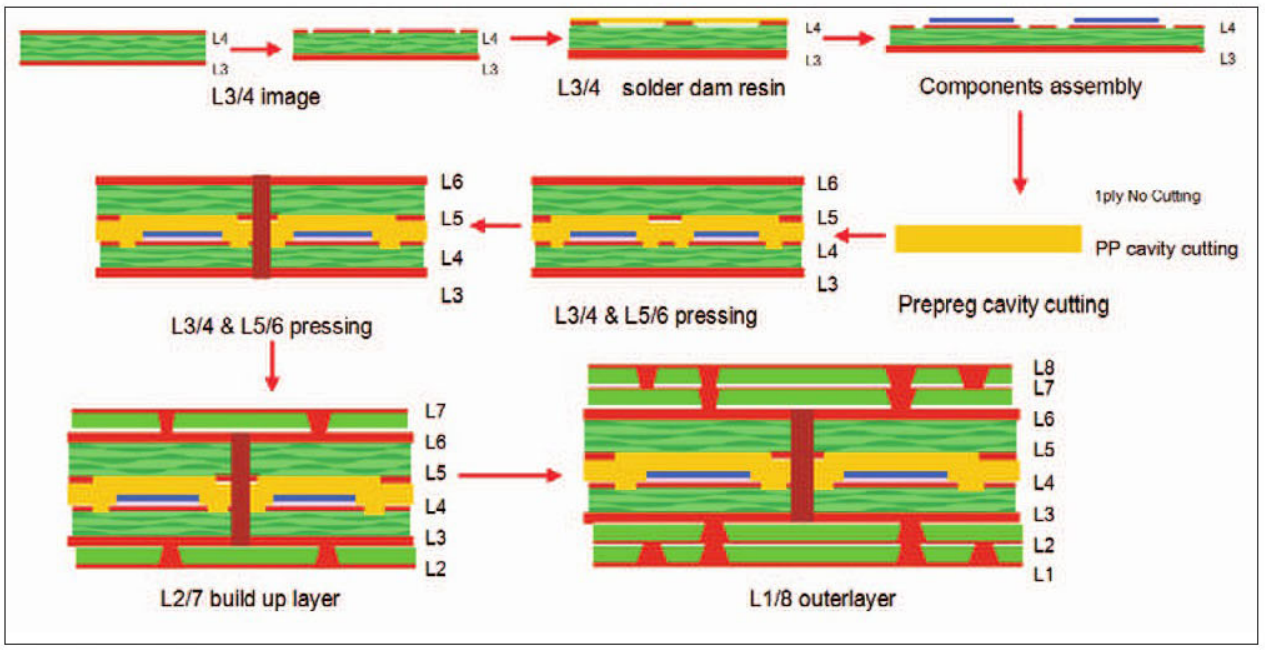


圖10 工藝流程示意圖

3.5 工藝流程的確定

通過以上各項目要點的測試板的測試結果，確定出此板的工藝流程和製作方法如下：

1) 內層使用曝光顯影型樹脂作為貼片的阻焊油墨；

2) 工藝流程 (圖10)：L4單面圖形製作→棕化→絲印樹脂→低温烘板→曝光→顯影→高温烘板酸洗→OSP→測量漲縮係數製作鋼網→絲印錫膏→自動貼片→Reflow焊接→目檢→去離子水洗→熱DI水洗→Plasma→PP開窗→L3/4+L5/6層壓→……

在以上L4層的單面阻焊層以及SMT工藝中的絲印，貼片到回流焊製作過程中，需要將板固定在1.2mm厚的載板進行；層壓後面的流程同正常2+HDI的流程一致，本文不再贅述。

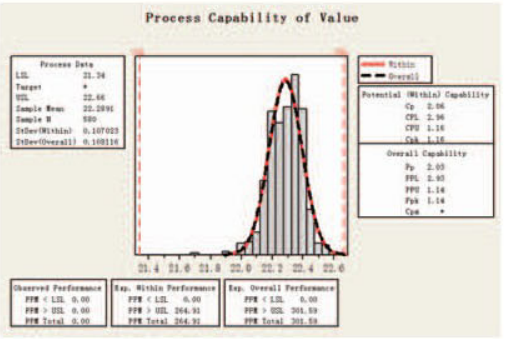
4. 三批量製作總結和結論

4.1 按照以上的工藝流程完成第一批板，結果如下:

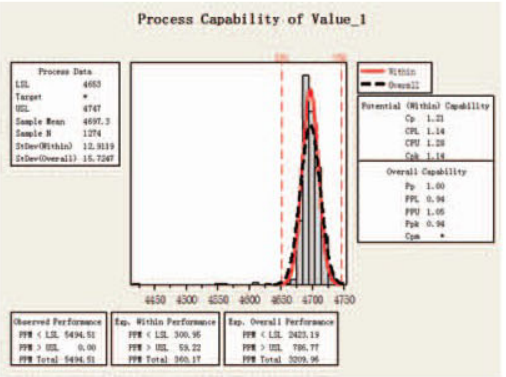
除去切片測試外，電測結果如下表：

sets	units	合格 units	良率 (per units)	零件失效數量/比例 失效的零件數/總共貼零件數	
83	996	476	**47.8%**	3690	3.43%

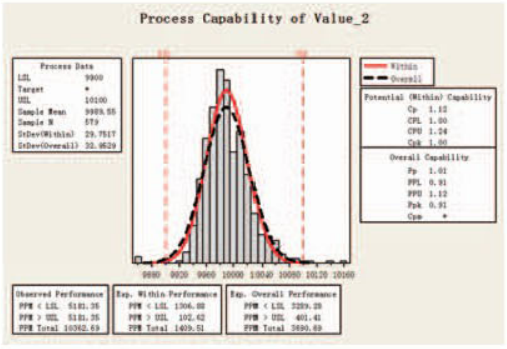
第一批的總體良率 (加上製作中過程中的報廢計算) 按照Unit算只有36.7%。1個Unit上有108個零件，一個零件失效將導致整個unit板報廢，因此此類板貼片工序的良率直接影響整體的良率。電阻測量結果見圖11：



22ohm



4700ohm

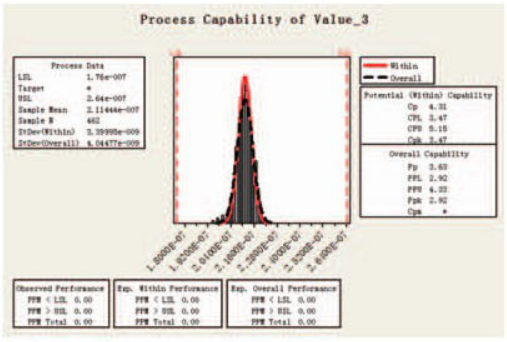


10000ohm

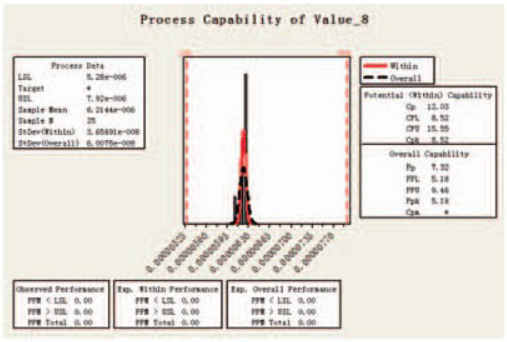
圖11

從上圖的各種電阻實際測量資料的Cpk統計中可以看出埋入貼片電阻的阻值精度可以到+/-3%。

電容測試結果：



220nF



6600nF

圖12

電容的精度也滿足+/-20%甚至更高（+/-10%）的要求。以上資料顯示出埋入貼片電阻電容PCB的精度和阻值容值範圍寬的優勢。

按照客戶的無鉛焊接要求，對第一批板在成品後做288℃ 10s Solder Float熱應力測試，結果空洞和樹脂層與半固化片的樹脂之間的分層，見圖13:

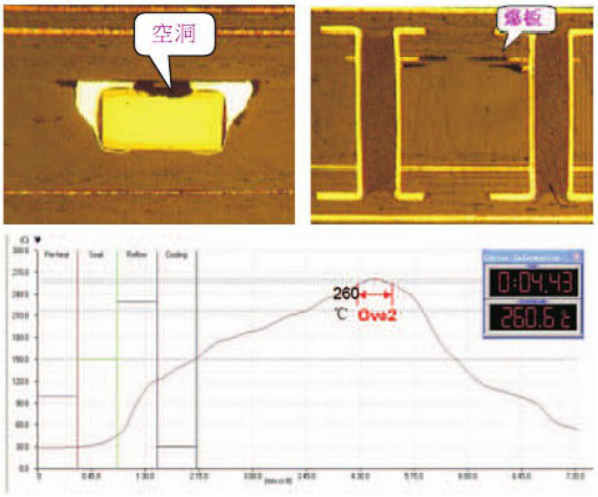
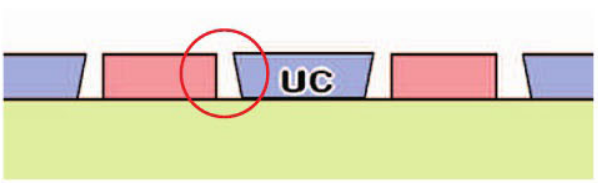


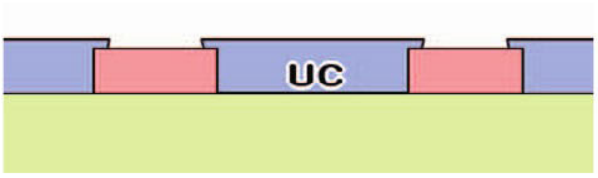
圖13

4.2 分層空洞原因分析

為了解決第一批板的分層問題，通過兩方面著手：一是感光樹脂的Tg溫度低，無法滿足無鉛制程的要求，找供應商改善樹脂的耐熱性能，另一方面從設計入手，只體現該樹脂的阻焊功能，減少它在板內的存在面積。見下圖14設計對比：



原設計



修改後的設計

圖14

在原設計中，樹脂與焊盤之間存在空隙而層壓時部分地方樹脂無法填充會導致空洞引起零件失效，另外非焊盤位置的地方全部都覆蓋有樹脂，而這些樹脂雖然經過了Plasma然後與PP壓合，但在Reflow測試中仍舊出現裂紋甚至分層的失效。

修改後的設計大大減少了樹脂在板面的殘留，同時通過樹脂供應商對油墨的改良，通過提高樹脂Tg，減小CTE，提高材料的耐熱性能。

通過對比實驗得出以下結論：

1. 通過曝光顯影型樹脂曝光菲林的修改設計成，可靠性測試結果顯示不再有樹脂分層出現。

2. 改良後的油墨的可靠性得到提高，Line mask區域內的阻焊樹脂和PP之間沒有再出現分層。

改了曝光菲林設計，對材料可靠性的改善效果明顯，但零件的失效問題沒有明顯改善。需要對零件的失效做深入分析。

4.3 失效零件的切片分析

零件電測失效主要體現在電阻短路或者開路，電容的短路或開路分析，電阻電容值的超公差三方面。實際測試中電阻公差設置為+/-3%，而電容公差設置為+/-20%，此類失效分析很難通過切片找到問題。

下圖15列舉了零件開短路的切片分析結果：

通過分析：零件失效問題的主要原因在於：虛焊導致的掉件，零件偏位元導致的開路或者與PTH孔的短路，而如何提高在內層板Panel Form形式下貼零件的精度及貼片可靠性，我們與SMT小組一起協商制出以下改善措施：

1) 同樣6set/Panel設計，將板的尺寸由16" X 18" 改為14 “X 16” 主要將板邊的對位標靶設計緊湊些，以保證絲印錫膏時的對準度。

2) 通過前兩批的各段尺寸資料收集，準確設計不銹鋼網版的漲縮係數：

因兩批板的曝光菲林設計有大的改動，導致兩批的鋼網係數有變化，因此第三批按照第二批係數製作。

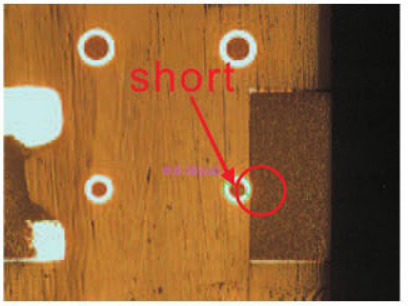
3) 增加每unit上的貼片對位的Fiducial Mark點，要求貼片時每個Unit貼片是按每個Unit的Mark點對位貼片，防止因板的漲縮不一致導致零件貼偏，引起的開路或掉零件。

4) 控制內層阻焊層樹脂的厚度，防止由於阻焊樹脂厚度偏高，使零件被頂起的虛焊問題。

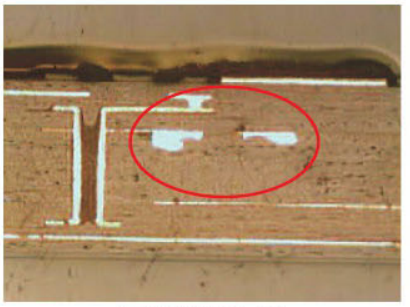
5) 為防止焊盤之間的空洞，阻焊樹脂部分覆蓋到焊盤上如圖16所示：這樣焊盤尺寸就被相對於原先的設計小

R35 開路（掉零件）

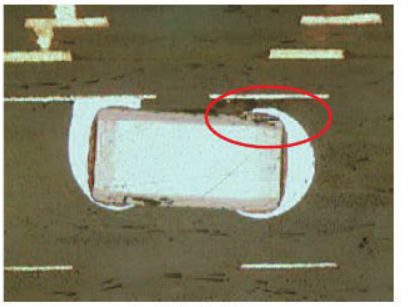
R34阻值過大，零件損壞



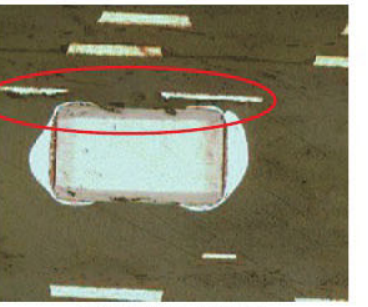
R57短路，鑽孔偏位元/零件貼偏導致PTH孔與零件短路



C22 開路（掉零件）



C23 開路



C22 開路（零件脫落）

圖15

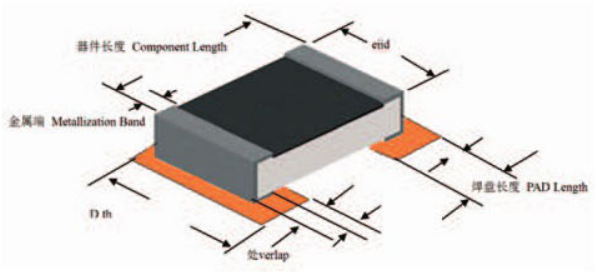


圖16

了，這樣容易導致虛焊和掉件。因此為了保證原0201的焊盤尺寸，需要加大焊盤的設計，因此必須將原焊盤尺寸增大，而完成阻焊油墨層後的有效焊盤尺寸仍與原設計一致。這樣解決了空洞和分層問題，又保證了0201焊盤尺寸。

6) 控制錫膏厚度，過厚會產生立碑現象，過薄會有焊接不良，而要保證印刷錫膏的厚度，焊膏印刷使用厚度為0.005英寸的不銹鋼激光切割模板，模板開孔間距約為0.008英寸。模板開孔是焊盤尺寸的1.1倍。

7) 前兩批中10Kohm的零件客戶提供的零件為0402大零件，而在零件旁邊的IVH孔設計成0.15的鑽咀時，最小的孔壁到零件的距離僅2.5mil，因此前兩批此處的零件短路也是主要缺陷，2+HDI三次層壓需要保證對位元精度在+/-2.5mil以內很容易發生短路，這也是前兩批的主要缺陷；因此第三批尋找0201的10Kohm電阻，孔徑設計為0.2mm，這樣孔到零件最小距離為5.5mil，可以減少因零件偏位元和鑽孔偏位導致的短路。

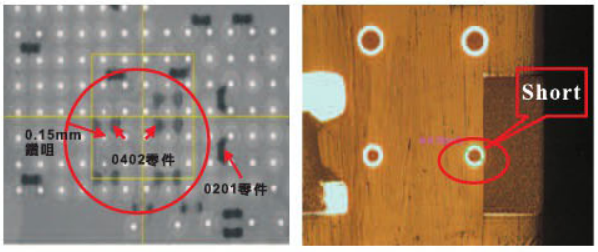


圖17

8) 增加SMT後電測，開路或者短路的零件做修理或者返工，換件處理，提高焊接的良率。

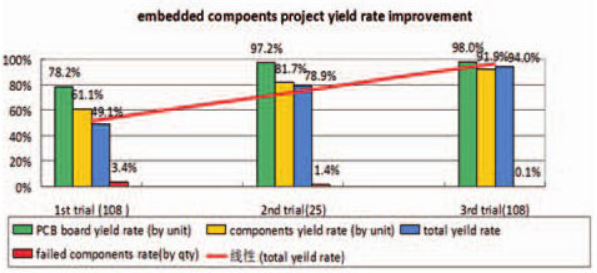
4.4 實施以上8項改善措施後進行第3批板製作，L4層貼片電測結果如下表：

fail rate(by set)	68	13	19.12%
fail rate(by unit)	813	18	2.21%
fail rate(by component) dppm	87804	48	547

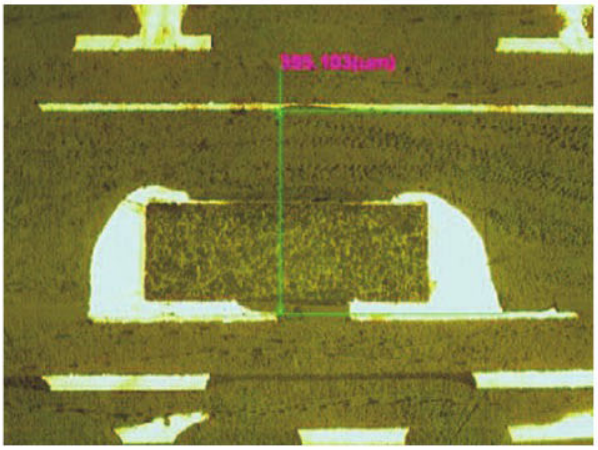
通過實施以上改善措施後，內層Panel板的焊接不良率為547 DPPM，個別虛焊，少件的可以修理，有些無法修理的標識為報廢。第三批成品測試後的良率相對與前兩批有顯著提高：

第一批小於3個X-out的板只有16.3%，而第三批已有94%（64 Sets）說明以上的改善措施有效，使得內層貼片良率與成品板的良率得到明顯提升。下表匯總了三批的良率改善資料：

	1st LOT (108個零件)	2nd LOT (108個零件)	3rd LOT (108個零件)
PCB board yield rate (by unit)	78.20%	97.20%	98%
Components yield rate (by unit)	61.11%	81.70%	91.88%
Total yeild rate	**49.10%**	**78.90%**	**94%**
Failed components rate (by qty)	3.40%	1.36%	0.099%
Failed components DPPM	34000	13600	990



第三批切片圖片：（焊錫良好，無空洞）



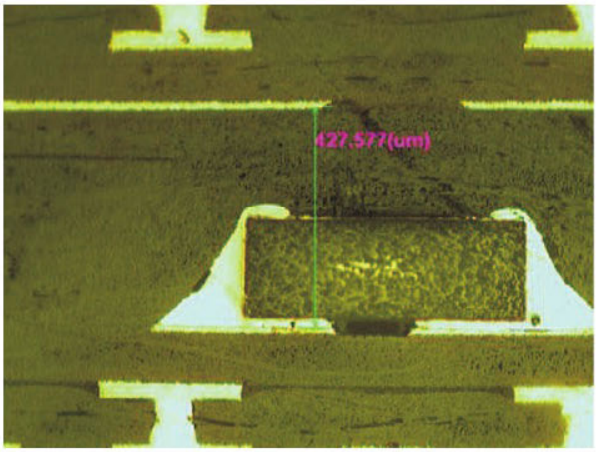
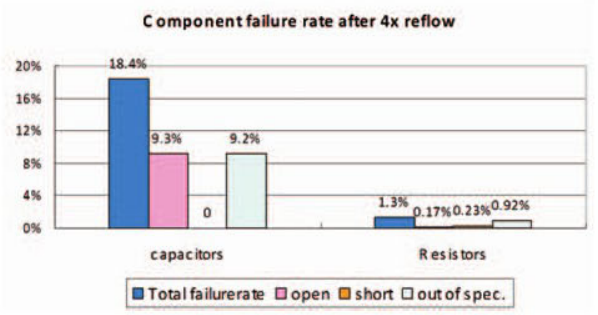


圖18

總結：通過三批板的不斷優化設計和工藝流程，使得埋入貼片式電阻電容PCB板的工藝逐步成熟，良率也得到提升。

4.5 可靠性測試

選擇第三批部分合格板，做4次Reflow後，再重新電測（電阻按照+/-5%公差，電容按照+/-20%公差設置），未發現有分層和樹脂空洞問題。但發現有部分零件有失效問題，零件失效主要體現為電容超差或者開路，以及個別電阻超公差或者短路。具體失效分佈對比見下表：



此項目做了5X熱應力，4X，6X，10X Reflow測試後的電阻電容可靠性的測試，而對零件的失效分析目前只做了電阻的分析，而電容的失效，尤其是電容經過可靠性測試後超差的原因還需進一步研究和分析。

結論：目前我們與SMT合作在現有的設備和工藝條件下，有能力製作此類設計的板，如果此類板量產的話，需要增加貼片後的飛針測試電測機，以通過監控半成品的貼片良率和不良品返修來保證整體的良率。

5. 內埋Chip元氣件PCB板的設計製作能力

通過本專案的工藝開發，我們也總結出了此類板的相關設計方面的指引，總結如下：

1. 零件應被埋在PCB疊構的中心層或者對稱的兩個Build-up層中，以預防在經過層壓及後工序外層焊接後產生板翹。

2. 有能力製作焊接0201，0402的Chip 電阻電容甚至IC集成晶片。

3. 與埋入式零件相連的電路設計可以有Through Via, IVH, BVH and ALV/ViP inter-connections等方式的連接的HDI和Rigid-flex設計。

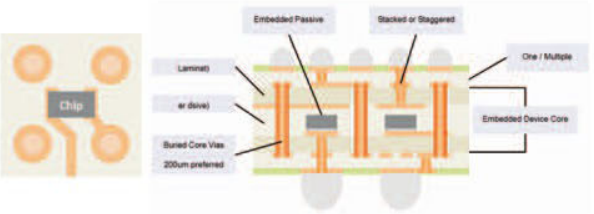


圖19

6. 參考資料

客戶PoP專案介紹資料

《美國埋入無源元件印製板的現狀和動向》--- 《印製電路資訊》2005.2

《日本OKI內埋器件基板專案介紹》技術資料

《日本DNP Embedded Passive Device B2it PCB》技術資料